

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

第2943764号

(45) 発行日 平成11年(1999) 8月30日

(24) 登録日 平成11年(1999) 8月25日

(51) Int.Cl. ⁸	識別記号	FI	
H01L 23/28		H01L 23/28	C
21/58		21/58	B
21/60	S 1 1	21/60	S 1 1 Q
H08H 9/25		H08H 9/25	A

請求項の数 2 (全 3 頁)

(21) 出願番号	特願平9-143130	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成9年(1997) 6月16日	(72) 発明者	大竹 健一 東京都港区芝五丁目7番1号 日本電気株式会社内
(35) 公開番号	特開平10-321688	(74) 代理人	弁理士 加藤 明道
(43) 公開日	平成10年(1998) 12月4日		
審査請求日	平成9年(1997) 6月16日	審査官	坂本 薫昭
		(56) 参考文献	特開 平6-204293 (JP, A) 特開 平5-55303 (JP, A)
		(58) 調査した分野(Int.Cl. ⁸ , DB名)	H01L 23/28, 21/58, 21/60

(54) 【発明の名称】 フリップチップ実装型半導体素子の樹脂封止構造

(57) 【特許請求の範囲】

【請求項1】 半導体素子のパッドを有する側の面において前記パッドの外側にダム（「半導体素子側ダム」という）を有し、

前記半導体素子の基板への実装時に前記半導体素子側のパッドと接合されるパッドを有する基板面において前記パッドの外側にダム（「基板側ダム」という）を有し、前記半導体素子の実装時、前記半導体素子側ダムは前記基板側ダムの内側に配置され、

樹脂で前記半導体素子が封止され、

前記半導体素子と対向する基板の間に中空構造を形成する、ことを特徴とするフリップチップ型半導体素子の樹脂封止構造。

【請求項2】 前記基板側パッドが前記基板面に設けられたキャビティの底面に設けられており、前記基板側ダム

が前記基板面に設けられている、ことを特徴とする請求項1記載のフリップチップ型半導体素子の樹脂封止構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はフリップチップ実装した半導体素子に関し、特に樹脂封止構造に関する。

【0002】

【従来の技術】 図3は、従来のフリップチップ型パッケージの樹脂封止構造の一例を示す断面図である。図3に示すように、半導体素子2が基板1に、フリップチップ方式で実装されており、半導体素子2は樹脂7で覆われており、半導体素子2と基板1の隙間は中空気密構造になっていた。

【0003】 また、特開平6-213873号公報に

は、半導体素子と基板の両方に封止材層を形成し、フリップチップ実装後、両方の封止材を接合することで半導体素子の中空構造を形成する方法が提案されている。

【0004】さらに、特開平4-293310号公報には、基板に半田封止層を形成し、さらに半導体素子のパターンと接合することで中空構造を形成する方法が提案されている。

【0005】

【発明が解決しようとする課題】上記従来技術は、下記記載の問題点を有している。

【0006】(1) 第1の問題点は、歩留まりが低い、ということである。

【0007】その理由は、図3に示す方法では、基板1や半導体素子2の反りなどにより、基板1と半導体素子2の隙間距離にばらつきが生じ、その距離の大きいものは基板側ダムと半導体素子隙間に、樹脂が入り込み、半導体素子表面の電極パターンに接触し、電気的特性が得られない、ためである。

【0008】(2) 第2の問題点は、振動や衝撃に弱いことである。

【0009】その理由は、上記特開平8-213873号公報に記載の方法では、半導体素子が露出しており、振動や衝撃力が加わった場合、半導体素子の欠損や割れが生じるためである。

【0010】(3) 第3の問題点は、信頼性が低い、ということである。

【0011】その理由は、上記特開平4-293310号公報に記載の方法では、半田接合時にフラックスを使用するため、フラックス中に含有されるハロゲン系イオンが電極パターンを腐食させるからである。

【0012】したがって、本発明は、上記問題を解消すべくなされたものであって、その目的は、歩留まりを向上し、振動や衝撃に対する耐性を高め、信頼性を向上させるフリップチップ型半導体素子の樹脂封止構造を提供することにある。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明のフリップチップ実装型半導体素子の樹脂封止構造は、基板と半導体素子にダムを有し、フリップチップ実装後の樹脂封止の際、樹脂が入り込まない構造としたものである。より詳細には、半導体素子のパッドを有する側の面において前記パッドの外側にダム（「半導体素子側ダム」という）を有し、前記半導体素子の基板への実装時に前記半導体素子側のパッドと接合されるパッドを有する基板面において前記パッドの外側にダム（「基板側ダム」という）を有し、前記半導体素子の実装時、前記半導体素子側ダムは前記基板側ダムの内側に配置され、樹脂で前記半導体素子が封止され、前記半導体素子と対向する基板の隙間に中空構造を形成する。

【0014】本発明は、前記基板側パッドが前記基板面

に設けられたキャビティの底面に設けられており、前記基板側ダムが前記基板面に設けられている。

【0015】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。

【0016】図1は、本発明の第1の実施の形態をなすフリップチップ型半導体素子の樹脂封止構造の断面を示す図である。図1を参照すると、この実施の形態においては、ダム4が形成された基板1上に、ダム8が形成された半導体素子2をフリップチップ実装しており、半導体素子（チップ）側ダム8は、基板側ダム4の内側に位置し、半導体素子2は樹脂7で覆われ、基板1と半導体素子2の隙間は中空気密構造になっている。

【0017】半導体素子2は、基板1上にフリップチップ実装されており、チップ側パッド6bと基板側パッド6aはバンプ5を介して接合されている。この方法は、チップ側パッド6b上にAuのバンプを形成し、Auメッキされた基板側パッド6aに加熱しながら押しつけることにより、バンプ5と基板側パッド6bの熱圧着法により、バンプ5と基板側パッド6aを接合する。

【0018】また、接合時間を短くするため超音波接合する場合もある。超音波接合の場合は、接合時の温度が熱圧着に比べ、低くできるため、実装後の基板1と半導体素子2間の熱収縮差による応力を小さくできる長所を有する。

【0019】基板側ダム4は、基板1上に樹脂を印刷して形成する。基板側ダム4は、半導体素子とほぼ同じサイズであり、その高さは、実装後のバンプ5高さより小さくし、基板側ダム4が半導体素子2と接触しないように、例えば40 μ m程度にする。

【0020】基板1がセラミック基板の場合は、基板側ダム4を材質を基板1と同じセラミックで形成することもできる。この場合は、同時焼成で基板側ダム4が形成でき、形成時間が短い。

【0021】また、半導体素子側ダム4は、樹脂7を半導体素子2上にスピンドコートで10 μ m～20 μ mの厚さで塗し、硬化後、不要な部分をエッチングで取り除き形成する。

【0022】実装後、半導体素子側ダム8は基板側ダム4の内側に位置し、半導体素子2と基板側ダム4隙間の内側に半導体素子側ダム8が位置した構造になっており、半導体素子側ダム8と基板側ダム4隙間は極めて小さい。

【0023】次に、樹脂7を半導体素子2上に滴下し、封止する。その方法は、樹脂をディスペンサから一定量供給し、基板1と半導体素子2の隙間周辺は樹脂で覆う。樹脂7が基板1と半導体素子2隙間は、半導体素子側ダム8と基板側ダム4の僅かな隙間を這り抜けできないため、中空構造にし、最後に樹脂を硬化する。樹脂7は粘度が高く、ハロゲン系のイオンを含まない熱硬化型が、

光硬化型を使用する。

【0024】次に本発明の第2の実施の形態について図面を参照して説明する。図2は、本発明の第2の実施の形態を示す断面図である。

【0025】図2を参照すると、基板1に半導体素子2が実装される部分はキャビティ構造になっている。このような構造にすることにより、基板側ダム4を低くしても、樹脂の入り込みを防止することができる。

【0026】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0027】(1) 本発明の第1の効果は、歩留まりが高い、ということである。

【0028】その理由は、本発明においては、基板と半導体素子の両方に形成したダムにより、フリップチップ実装後の隙間が極めて小さくなり、基板や半導体素子の反りにより、基板と半導体素子隙間距離が大きくなる場合でも、樹脂の入り込みがなく、半導体素子表面の電極パターンに樹脂が接触することが回避される、ためである。

【0029】(2) 本発明の第2の効果は、振動や衝撃に強い、ということである。

【0030】その理由は、本発明においては、半導体素子は樹脂で覆われているため、露出がなく、振動や衝撃

が加わっても、半導体素子の欠損や割れが生じない、ためである。

【0031】(3) 本発明の第3の効果は、信頼性が高い、ということである。

【0032】その理由は、本発明においては、フラックスを使用せず、ハロゲン系イオンガスの発生がなく、電極パターンの腐食がないためである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す断面図である。

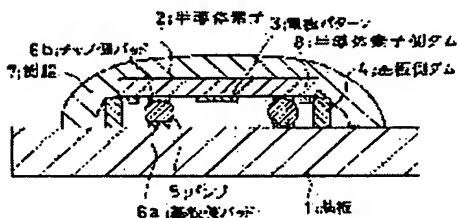
【図2】本発明の別の実施例の構成を示す断面図である。

【図3】従来のフリップチップ実装型パッケージを示す断面図である。

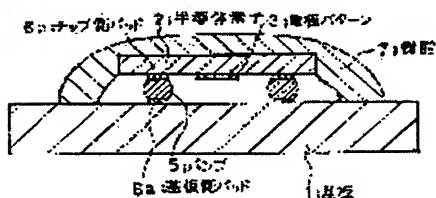
【符号の説明】

- 1 基板
- 2 半導体素子
- 3 電極パターン
- 4 基板側ダム
- 5 パンプ
- 6a チップ側パッド
- 6b 基板側パッド
- 7 樹脂
- 8 半導体素子側ダム

【図1】



【図3】



【図2】

